

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS60 U.S. PTO
09/690262
10/17/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

2000年 8月 8日

出 願 番 号
Application Number:

特願2000-240409

出 願 人
Applicant(s):

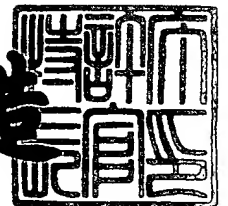
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 00J02665

【提出日】 平成12年 8月 8日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/20

【発明の名称】 信号生成回路およびそれを用いた表示装置

【請求項の数】 8

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 中村 英治

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第307611号

【出願日】 平成11年10月28日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号生成回路およびそれを用いた表示装置

【特許請求の範囲】

【請求項 1】

ディジタルデータを格納する格納手段から上記ディジタルデータを読み出して決まったシーケンスの繰り返しである複数種類のパルス信号を生成する信号生成回路において、

上記ディジタルデータとして、複数の上記パルス信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するデータと、上記立ち上がりおよび立ち下がりタイミングの全てを時系列的に並べた場合の間隔に対応するデータとが時系列的に配列されてなる 1 つのシリアルデータが上記格納手段に格納されており、上記格納手段から上記シリアルデータを読み出し、上記シリアルデータ中に含まれる所定の上記立ち上がりおよび立ち下がりタイミングに対応したデータを用いて、複数の上記パルス信号のそれぞれを互いにパラレルデータとして生成するシリアルーパラレル変換手段を有することを特徴とする信号生成回路。

【請求項 2】

上記シリアルーパラレル変換手段は縦続接続された複数段のフリップフロップを有し、上記シリアルデータを共通のクロック信号として前段のフリップフロップの出力信号を入力信号として順次ラッチを行うとともに、複数の所定段目のフリップフロップの出力信号を取り出すことにより上記パラレルデータへの変換を行うことを特徴とする請求項 1 に記載の信号生成回路。

【請求項 3】

上記複数の所定段目のフリップフロップの出力信号を複数組み合わせることで上記パルス信号を生成する組み合わせ手段を有することを特徴とする請求項 2 に記載の信号生成回路。

【請求項 4】

生成した上記パルス信号を、同一周期のシーケンスで動作する複数の回路に上記周期で順次切り替えて供給する制御切り替え手段を有していることを特徴とする請求項 1 ないし 3 のいずれかに記載の信号生成回路。

【請求項 5】

上記シリアルーパラレル変換手段は、上記シリアルデータと、上記シリアルデータのデータ間隔以下の周期で配列され、かつ上記データ間隔の整数分の 1 の間隔を有するデータとの論理積を求めてから上記パラレルデータへの変換を行うことを特徴とする請求項 1 ないし 4 のいずれかに記載の信号生成回路。

【請求項 6】

複数系統のシーケンスに対応するデータが上記シリアルデータにまとめられて上記格納手段に格納されており、上記シリアルーパラレル変換手段は上記シリアルデータを各系統のシーケンスごとのシリアルデータに分割し、それぞれのパラレルデータを生成することを特徴とする請求項 1 ないし 5 のいずれかに記載の信号生成回路。

【請求項 7】

請求項 1 ないし 6 のいずれかに記載の信号生成回路を備えることを特徴とする表示装置。

【請求項 8】

表示画素が電界発光型素子からなることを特徴とする請求項 7 に記載の表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、決まったシーケンスの繰り返しである複数種類のパルス信号を生成する信号生成回路、および、該信号生成回路を備える、容量性フラットマトリクスディスプレイや液晶ディスプレイ、プラズマディスプレイなどの表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】

容量性フラットマトリクスディスプレイや液晶ディスプレイ、プラズマディスプレイなどのマトリクスタイプの表示装置は、表示素子材料や表示パネルに印加される電圧値は互いに異なるが、周辺の電圧印加構成やその制御構成は類似して

いる。一例として、容量性フラットマトリクスディスプレイの概略的な構成を図 7 にブロック図で示す。同図の容量性フラットマトリクスディスプレイにおいて表示パネル（E L パネル）7 1 は、特開昭 6 0 - 9 5 4 9 5 号公報にも開示されているように、電界発光型素子（以下 E L 素子と呼ぶ）を発光層とし、E L 素子の一方の面側に設けられた透明電極がデータ側電極 7 1 a …、E L 素子の他方の面側に設けられた背面電極が走査側電極 7 1 b …となっている。そして、データ側電極 7 1 a …と走査側電極 7 1 b …との各交差部が絵素であり、従って、表示パネル 7 1 には絵素がマトリクス状に配列される。

【 0 0 0 3 】

走査側電極 7 1 b …は走査側ドライバ 7 2 に接続されており、シフトレジスタ回路 7 3 の動作により所定の電圧が走査側ドライバ 7 2 から印加される。データ側電極 7 1 a …はデータ側ドライバ 7 4 に接続されており、シフトレジスタ・ラッチ回路 7 5 の動作により所定の電圧がデータ側ドライバ 7 4 から印加される。駆動回路 7 6 は、書込駆動回路 7 6 a と変調駆動回路 7 6 b とを含んでおり、駆動論理回路 7 7 からの制御信号に従い、電源 8 0 からの駆動回路用電圧 V D （例えば 1 2 V）を用いて表示パネル 7 1 用の高電圧を発生する。書込駆動回路 7 6 a は、表示パネル 7 1 の発光に必要な書込電圧（例えば 2 0 0 V）を走査側ドライバ 7 2 に出力する。変調駆動回路 7 6 b は、E L 素子の発光と非発光とを区別するための変調電圧（例えば 4 0 V）をデータ側ドライバ 7 4 に出力する。

【 0 0 0 4 】

駆動論理回路 7 7 は、表示データ D、表示データ転送用クロック信号 C K、水平同期信号 H、垂直同期信号 V などの入力信号に基づいて、電源 8 0 からの論理回路用電圧 V L （例えば 5 V）を用いて表示パネル 7 1 の駆動に必要な複数のタイミング信号（制御信号）7 8 ・ 7 9 を生成する。複数のタイミング信号 7 8 ・ 7 9 を生成するためのデータ（デジタルデータ）は、内部の R O M （読み出し専用メモリ）7 7 a に格納されている。

【 0 0 0 5 】

図 8 に、上記駆動論理回路 7 7 内に設けられた書込駆動用の制御信号生成回路 8 1、その制御信号のタイミングチャート、および表示パネル 7 1 への書込駆動

電圧の波形を示す。同図（a）に示すように、ROM 77aからは4つの制御信号W1（書込1）・W2（書込2）・D1（放電1）・D2（放電2）がトランジスタ制御用のパラレルデータとして出力される。そして同図（b）に示すように、上記4つの制御信号のうち、まず制御信号W1が立ち上がって0V→100Vへの第1の充電が行われ、続いて制御信号W2が立ち上がって100V→200Vへの第2の充電が行われる。200Vの充電電圧でEL素子が発光し、発光の終了時に制御信号D1が立ち上がって200V→100Vへの第1の放電が行われ、続いて制御信号D2が立ち上がって100V→0Vへの第2の放電が行われる。

【0006】

【発明が解決しようとする課題】

しかしながら、従来の制御信号生成回路81では、上述のように表示パネル71の駆動に必要な制御信号の種類ごとに全データをROM 77aに格納していたため、膨大なROM容量が必要となる。例えば図8の場合、制御信号W1・W2・D1・D2のそれぞれについて“High”および“Low”に対応するデータを全てROM 77aに格納する必要がある。また、制御信号ごとにデータをパラレルデータとして出力するため、単位時間内に転送するデータ量が多く、ROM 77aからの出力線数が増大する。従って、従来の制御信号生成回路81には、データ量過大によるROM 77aの素子サイズ増大やコスト高、およびデータの平行転送による配線面積の増大、さらには基板面積の増大を招くという問題がある。

【0007】

本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、ROMデータなどの格納されたデータの利用効率を向上させて格納手段の容量およびコストを低減するとともに、格納手段のサイズや格納手段外部の配線面積および基板面積を縮小することのできる信号生成回路およびそれを用いた表示装置を提供することにある。

【0008】

【課題を解決するための手段】

本発明の信号生成回路は、上記の課題を解決するために、デジタルデータを格納する格納手段から上記デジタルデータを読み出して決まったシーケンスの繰り返しである複数種類のパルス信号を生成する信号生成回路において、上記デジタルデータとして、複数の上記パルス信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するデータと、上記立ち上がりおよび立ち下がりタイミングの全てを時系列的に並べた場合の間隔に対応するデータとが時系列的に配列されてなる1つのシリアルデータが上記格納手段に格納されており、上記格納手段から上記シリアルデータを読み出し、上記シリアルデータ中に含まれる所定の上記立ち上がりおよび立ち下がりタイミングに対応したデータを用いて、複数の上記パルス信号のそれぞれを互いにパラレルデータとして生成するシリアルーパラレル変換手段を有することを特徴としている。

【 0 0 0 9 】

上記の発明によれば、シリアルーパラレル変換手段は、格納手段に格納された1つのシリアルデータをパラレル変換することにより、複数のパルス信号を生成する。パラレル変換は、各パルス信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するシリアルデータ中の所定のデータを用いて行い、生成した各パルス信号を互いにパラレルデータとして個別の経路で出力する。複数のパルス信号は、立ち上がりおよび立ち下がりタイミングが同時であったり異なったりする2種類以上のパルス信号を含むものであるが、上記シリアルデータは複数のパルス信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するデータが時系列的に並べられた構成である。従って、それらのデータの配列方法、すなわち信号としてのパルス位置およびパルス幅の設定が任意であるので、様々な立ち上がりおよび立ち下がりタイミングのパルス信号を容易に生成することが可能である。

【 0 0 1 0 】

また、通常のシリアルーパラレル変換では変換前後でデータの総量は変化しないため、単に各パルス信号に対応するデータをつなげてシリアルデータとして読み出し、パラレル変換を行う場合のデータ量は、予め格納手段にパルス信号の種類ごとに全データを格納しておいて直接パラレルデータとして読み出す場合と等

しい。本発明はこれと異なり、各パルス信号の立ち上がりおよび立ち下がりタイミングに対応したデータ、および全ての立ち上がりおよび立ち下がりタイミングを時系列的に並べた場合のそれらの間隔に対応したデータを1つのシリアルデータにまとめている。従って、各パルス信号の時間的に重複するデータを削減することができ、格納手段に格納するデータ量が全データを格納する場合と比較して大幅に低減され、単位時間当たりのデータ転送量も減少する。さらに格納手段からは1つのシリアルデータを読み出すだけでよいので、格納手段の端子数およびデータの出力線数が1つで済む。

【0011】

この結果、ROMなどの格納手段に格納されたデータの利用効率を向上させて格納手段の容量およびコストを低減するとともに、格納手段のサイズや格納手段外部の配線面積および基板面積を縮小することができる。

【0012】

本発明の信号生成回路は、上記の課題を解決するために、上記複数種類のパルス信号が、マトリクスタイプの表示素子を所定のシーケンスで駆動するための複数の制御信号であることを特徴としている。

【0013】

上記の発明によれば、シリアルーパラレル変換手段は、格納手段に格納された1つのシリアルデータをパラレル変換することにより、複数の制御信号を生成する。パラレル変換は、各制御信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するシリアルデータ中の所定のデータを用いて行い、生成した各制御信号を互いにパラレルデータとして個別の経路で次段の回路へ出力する。表示素子を所定のシーケンスで駆動するために、複数の制御信号のそれぞれは互いに所定のタイミング関係で生成されるべきものであるが、上記シリアルデータは複数の制御信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するデータが駆動シーケンスに対応するように時系列的に並べられた構成である。従って、それらのデータの配列方法、すなわち信号としてのパルス位置およびパルス幅の設定が任意であるので、様々なシーケンスに対して上記タイミング関係を容易に満たすことが可能である。

【 0 0 1 4 】

また、通常のシリアルーパラレル変換では変換前後でデータの総量は変化しないため、単に各制御信号に対応するデータをつなげてシリアルデータとして読み出し、パラレル変換を行う場合のデータ量は、予め格納手段に制御信号の種類ごとに全データを格納しておいて直接パラレルデータとして読み出す場合と等しい。本発明はこれと異なり、予め定まっている表示素子の駆動シーケンスにおける各制御信号の立ち上がりおよび立ち下がりタイミングに対応したデータ、および全ての立ち上がりおよび立ち下がりタイミングを時系列的に並べた場合のそれらの間隔に対応したデータを1つのシリアルデータにまとめている。従って、各制御信号の時間的に重複するデータを削減することができ、格納手段に格納するデータ量が全データを格納する場合と比較して大幅に低減され、単位時間当たりのデータ転送量も減少する。さらに格納手段からは1つのシリアルデータを読み出すだけでよいので、格納手段の端子数およびデータの出力線数が1つで済む。

【 0 0 1 5 】

この結果、ROMなどの格納手段に格納されたデータの利用効率を向上させて格納手段の容量およびコストを低減するとともに、格納手段のサイズや格納手段外部の配線面積および基板面積を縮小することができる。

【 0 0 1 6 】

また、本発明の信号生成回路は、上記の課題を解決するために、上記シリアルーパラレル変換手段は縦続接続された複数段のフリップフロップを有し、上記シリアルデータを共通のクロック信号として前段のフリップフロップの出力信号を入力信号として順次ラッチを行うとともに、複数の所定段目のフリップフロップの出力信号を取り出すことにより上記パラレルデータへの変換を行うことを特徴としている。

【 0 0 1 7 】

上記の発明によれば、シリアルーパラレル変換手段は、縦続接続された複数段のフリップフロップによって前段の出力信号を後段に伝搬させていくものである。格納手段から読み出されたシリアルデータを各フリップフロップに共通のクロック信号とし、生成しようとするパルス信号（制御信号）の立ち上がりおよび立

ち下がりタイミングに対応したデータがクロック端子に入力されるたびに、各フリップフロップが前段の出力信号を入力信号としてラッチを行う。

【0018】

あるラッチのタイミングから次のラッチのタイミングまでの保持時間は、シリアルデータ中のある“H i g h”のデータ（または“L o w”のデータ）を読み出してから次の“H i g h”のデータ（または“L o w”のデータ）を読み出すまでの間隔に等しい。従って、例えば上記データの読み出し間隔をパルス信号（制御信号）の“H i g h”の期間に等しくしておくと、上記保持時間の開始時に前段から“H i g h”のデータのラッチを行うフリップフロップの出力信号は1つのパルス信号（制御信号）となり、そのフリップフロップが何段目に位置するかによっていずれのパルス信号（制御信号）となり得るかが決定される。本発明では複数の所定段目のフリップフロップの出力信号を取り出すことにより、シリアルデータの平行変換を行っており、フリップフロップの段順を的確に選択すれば、取り出す出力信号を、生成しようとするパルス信号（制御信号）とすることができる。

【0019】

これにより、既存のラッチ回路を利用してシリアルデータから容易に平行データとしての複数のパルス信号（制御信号）を生成することができる。

【0020】

また、本発明の信号生成回路は、上記の課題を解決するために、上記複数の所定段目のフリップフロップの出力信号を複数組み合わせさせて上記パルス信号（制御信号）を生成する組み合わせ手段を有することを特徴としている。

【0021】

上記の発明によれば、組み合わせ手段によってフリップフロップの出力信号を複数組み合わせることにより、パルス信号（制御信号）を生成する。1つのフリップフロップの出力信号から1つのパルス信号（制御信号）を生成しようとする、外部から他の信号を与えない限りフリップフロップの段順に従ったカスケード信号しか生成することができない。しかし、複数のフリップフロップ、例えば2段目および5段目などのフリップフロップの出力信号を組み合わせると論理演算

を行うことにより、立ち上がりおよび立ち下がりタイミングをシリアルデータ中の飛び飛びのデータに対応させたパルス信号（制御信号）を生成することができる。

【 0 0 2 2 】

従って、このパルス信号（制御信号）を他のパルス信号（制御信号）と互いにカスケードとしないようにすることができる。しかも、論理演算を変更すればパルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングとその回数とを任意に設定することができる。このように、本発明によれば、多様なシーケンスに対応するパルス信号（制御信号）を生成することができる。

【 0 0 2 3 】

また、本発明の信号生成回路は、上記の課題を解決するために、生成した上記パルス信号（制御信号）を、同一周期のシーケンスで動作する複数の回路に上記周期で順次切り替えて供給する制御切り替え手段を有していることを特徴としている。

【 0 0 2 4 】

上記の発明によれば、同一周期のシーケンスで動作する複数の回路がある場合、生成したパルス信号（制御信号）を制御切り替え手段によって順次切り替えて各回路に供給する。例えばパルス信号（制御信号）を表示素子の交流駆動に使用する場合に、表示の 1 ラインごとに走査側に正電圧を印加する駆動回路と負電圧を印加する駆動回路とを交互に切り替えるので、生成したパルス信号（制御信号）を制御切り替え手段によって 1 周期ごとに有効となる信号に変換してこれら駆動回路に供給する。これにより、同一周期のシーケンスで動作する複数の回路に対してシリアルデータを共有することができるので、格納手段に格納されるデータ量がさらに低減される。

【 0 0 2 5 】

さらに本発明の信号生成回路は、上記の課題を解決するために、上記シリアル-パラレル変換手段は、上記シリアルデータと、上記シリアルデータのデータ間隔以下の周期で配列され、かつ上記データ間隔の整数分の 1 の間隔を有する補助データとの論理積を求めてから上記パラレルデータへの変換を行うことを特徴と

している。

【 0 0 2 6 】

上記の発明によれば、読み出したシリアルデータの他に、シリアルデータのデータ間隔以下の周期で配列され、かつ上記データ間隔の整数分の1の間隔を有する補助データを外部から与えておき、両者の論理積を求める。例えば上記データ間隔に等しい周期で配列され、上記データ間隔の2分の1の間隔を有する補助データとの論理積を求める場合について考える。このとき、シリアルデータ中の立ち上がりタイミングが補助データの立ち上がりタイミングに同期していれば、シリアルデータ中に“H i g h”のデータが連続して存在している場合に、この連続箇所のデータの境界1つずつに新たな立ち上がりおよび立ち下がりタイミングが1つずつ得られる。これにより、生成しようとするパルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングを変化させることができる。

【 0 0 2 7 】

従って、一般に、補助データの配列周期をシリアルデータのデータ間隔の整数分の1として、増加させる立ち上がりおよび立ち下がりタイミングの数を任意に設定することができる。また、シリアルデータ中の立ち上がりタイミングを補助データの立ち上がりタイミングから僅かにずらして同期しないようにすることにより、全てのパルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングを一様に僅かにずらすこともできる。さらに、補助データの配列周期をシリアルデータのデータ間隔の整数分の1からはずして、パルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングを変則的にずらすこともできる。

【 0 0 2 8 】

これにより、シリアルデータ中で“H i g h”のデータが連続する箇所の途中のタイミングを有効に用いて、パラレルデータへの多様な変換を行うことができる。

【 0 0 2 9 】

さらに本発明の信号生成回路は、上記の課題を解決するために、複数系統のシーケンスに対応するデータが上記シリアルデータにまとめられて上記格納手段に格納されており、上記シリアルーパラレル変換手段は上記シリアルデータを各系

統のシーケンスごとのシリアルデータに分割し、それぞれのパラレルデータを生成することを特徴としている。

【 0 0 3 0 】

上記の発明によれば、複数系統のシーケンスに対応するデータを1つのシリアルデータにまとめて格納手段に格納しておき、シリアルーパラレル変換手段によって各系統のシーケンスごとのシリアルデータに分割してから、それぞれのシーケンスごとにパラレルデータを生成する。例えば2系統のシーケンスに対応するデータを交互に配列して1つのシリアルデータにまとめた場合、一方のデータの読み出し期間中にのみ立ち上がるような2種類の信号を用意しておき、両者のラッチを別々に行うようにすればシーケンスごとのシリアルデータに分割することができる。3系統以上のシーケンスでも同様の方法で分割することができる。従って、複数系統のシーケンスのパルス信号（制御信号）を生成するような場合でも、格納手段からの出力線数を増加させなくてよい。

【 0 0 3 1 】

本発明の表示装置は、上記の課題を解決するために、以上に述べた複数種類のパルス信号を生成する信号生成回路を備えることを特徴としている。

【 0 0 3 2 】

上記の発明によれば、上述した複数種類のパルス信号を生成する信号生成回路を備えたことで、ROMなどの格納手段に格納されたデータの利用効率を向上させて格納手段の容量およびコストを低減するとともに、格納手段のサイズや格納手段外部の配線面積および基板面積を縮小することができる。したがって、表示装置のコストを低減するとともに、表示装置のサイズ、特に面積を縮小することができる。

【 0 0 3 3 】

また、本発明の表示装置は、上記の課題を解決するために、表示画素が電界発光型素子からなることを特徴としている。

【 0 0 3 4 】

上記の発明によれば、表示装置の表示画素が電界発光型素子からなるので、前述の表示装置は、電界発光型素子に対して多段階で充電および放電を行う駆動の

シーケンスに適したものとなる。

【 0 0 3 5 】

【発明の実施の形態】

〔実施の形態 1〕

本発明の信号生成回路を具現する実施の一形態について図 1 ないし図 5 を用いて説明すれば以下の通りである。なお、本実施の形態では、信号生成回路を、表示画素に E L 素子を用いた表示素子としての容量性フラットマトリクスディスプレイ（以下、E L 表示装置と略記する）を所定のシーケンスで駆動するための複数の制御信号（パルス信号）の生成に適用されるものとして説明する。しかしながら、本発明の信号生成回路は、これに限らず、液晶ディスプレイやプラズマディスプレイなどマトリクスタイプの表示素子を所定のシーケンスで駆動するための複数の制御信号の生成に広く適用されるものである。さらに、本発明の信号生成回路は、表示素子の駆動のみならず、決まったシーケンスの繰り返しである複数種類のパルス信号を用いる全ての回路に適用されるものである。

【 0 0 3 6 】

図 1（a）に、本実施の形態の制御信号生成回路（信号生成回路）1 の構成を示す。制御信号生成回路 1 は、E L 表示装置の駆動シーケンスに合わせて図 7 と同様の、立ち上がりおよび立ち下がりタイミングが互いに異なる 4 つの制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 を生成するものであり、ROM 2 およびシリアルーパラレル変換回路 3 から構成される。

【 0 0 3 7 】

ROM（格納手段）2 は、上記制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 の源信号となるシリアルデータ W D A T A を格納している I C である。このシリアルデータ W D A T A は、同図（b）に示すように、制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 の全ての立ち上がりおよび立ち下がりタイミングに対応する“H i g h”のデータ d 1 ～ d 6 と、全ての立ち上がりおよび立ち下がりタイミングを時系列的に並べた場合のそれらの間隔に対応する“L o w”のデータとが時系列的に配列されたものである。

【 0 0 3 8 】

シリアルデータWDATAは、制御信号W1・W2・D1・D2の立ち上がりタイミングおよび立ち下がりタイミングの少なくとも1つに同期したタイミングで立ち上がるデータパルスが時系列的に配列されてなるものである。シリアルデータWDATAは、制御信号W1の立ち上がりタイミングに同期したタイミングで立ち上がるデータ（データパルス）d1と、制御信号W1の立ち下がりタイミングおよび制御信号W2の立ち上がりタイミングに同期したタイミングで立ち上がるデータd2と、制御信号W1の立ち上がりタイミングに同期したタイミングで立ち上がるデータd3とを有している。また、シリアルデータWDATAは、制御信号D1の立ち上がりタイミングに同期したタイミングで立ち上がるデータd4と、制御信号D1の立ち下がりタイミングおよび制御信号D2の立ち上がりタイミングに同期したタイミングで立ち上がるデータd5と、制御信号D1の立ち上がりタイミングに同期したタイミングで立ち上がるデータd6とを有している。

【0039】

シリアルーパラレル変換回路（シリアルーパラレル変換手段）3は、縦続接続された6段のDフリップフロップF/F1～F/F6からなる。DフリップフロップF/F1～F/F6のクロック端子には、ROM2の所定の1つの端子から読み出されたシリアルデータWDATAが共通のクロック信号として入力される。これら全てのDフリップフロップのR端子にも共通のリセット信号が入力される。DフリップフロップF/F1のD端子には常に“High”レベルの信号が入力され、／Q（Qバー）端子からの出力信号がDフリップフロップF/F2のD端子の入力信号となる。

【0040】

DフリップフロップF/F3～F/F6までは、前段のDフリップフロップのQ端子からの出力信号がD端子の入力信号となる。そして、2段目のDフリップフロップF/F2、3段目のDフリップフロップF/F3、5段目のDフリップフロップF/F5、および6段目のDフリップフロップF/F6のQ端子からの出力信号は、それぞれ互いにパラレルデータの関係にある制御信号W1・W2・D1・D2として取り出され、個別の経路で次段の表示装置駆動回路へ出力され

る。

【 0 0 4 1 】

上記の構成の制御信号生成回路 1 についてその動作を説明する。なお、シリアルデータ WDATA および制御信号 W1・W2・D1・D2 の “High” と “Low” とが逆転した場合でも動作は同じである。まず、図 1 (a) で全ての D フリップフロップにリセット信号が入力されてリセット動作が行われると、ROM 2 から同図 (b) に示すシリアルデータ WDATA の読み込みが開始される。D フリップフロップ F/F1 の /Q 端子からはリセット動作と同時に “High” のデータが出力されている。シリアルデータ WDATA の最初の “High” のデータ d1 が読み込まれると、その立ち上がりタイミングに同期して全ての D フリップフロップの D 端子からデータのラッチが行われ、Q 端子あるいは /Q 端子から出力される。このとき、D フリップフロップ F/F2 の D 端子からは “High” のデータのラッチが行われて Q 端子から出力される。

【 0 0 4 2 】

シリアルデータ WDATA の次の “High” のデータ d2 が読み込まれるまではこの状態が保持される。すなわち、あるラッチのタイミングから次のラッチのタイミングまでの保持時間は、シリアルデータ WDATA 中のある “High” のデータ（または “Low” のデータ）を読み出してから次の “High” のデータ（または “Low” のデータ）を読み出すまでの間隔に等しい。従って、この場合、データ d1 からデータ d2 までの読み出し間隔が制御信号 W1 の “High” の期間に等しく設定されているので、2 段目の D フリップフロップ F/F2 の出力信号は同図 (b) に示す制御信号 W1 となる。このように、出力信号を取り出す D フリップフロップが何段目に位置するかによっていずれの制御信号となり得るかが決定される。

【 0 0 4 3 】

次いでデータ d2 が読み込まれると、前述と同様にその立ち上がりタイミングに同期して各 D フリップフロップによってデータのラッチが行われる。また、データ d1 が読み込まれた後は D フリップフロップ F/F1 の /Q 端子からの出力信号は常に “Low” となる。従って、データ d2 の読み込みとともに D フリッ

プフロップ F/F 2 の Q 端子からは “L o w” のデータが出力されるので、制御信号 W 1 は立ち下がる。同時に、D フリップフロップ F/F 3 の Q 端子からは “H i g h” のデータが出力される。この場合、データ d 2 からデータ d 3 までの読み出し間隔が制御信号 W 2 の “H i g h” の期間に等しく設定されているので、3 段目の D フリップフロップ F/F 3 の出力信号は同図 (b) に示す制御信号 W 2 となる。

【 0 0 4 4 】

こうして、D フリップフロップ F/F 2 から D フリップフロップ F/F 6 まで、シリアルデータ W D A T A のデータ d 1 ~ d 6 の立ち上がりタイミングに同期してデータが順次伝搬されていく。この結果、データ d 4 の立ち上がりタイミングに同期して立ち上がり、データ d 5 の立ち下がりタイミングに同期して立ち下がる制御信号 D 1、およびデータ d 5 の立ち上がりタイミングに同期して立ち上がり、データ d 6 の立ち上がりタイミングに同期して立ち下がる制御信号 D 2 も得られる。

【 0 0 4 5 】

このように、本実施の形態では複数の所定段目の D フリップフロップの出力信号を取り出すことにより、シリアルデータ W D A T A のパラレル変換を行っており、D フリップフロップの段順を的確に選択すれば、取り出す出力信号を、生成しようとする制御信号とすることができる。これにより、既存のラッチ回路を利用してシリアルデータ W D A T A から容易にパラレルデータとしての制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 を生成することができる。

【 0 0 4 6 】

上述の通り、シリアル-パラレル変換回路 3 は、ROM 2 に格納された 1 つのシリアルデータ W D A T A を、シリアルデータ W D A T A 中のデータ d 1 ~ d 6 をクロック信号とする D フリップフロップ F/F 1 ~ F/F 6 のラッチ動作を利用してパラレル変換することにより、4 つの制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 を生成している。E L 表示装置を所定のシーケンスで駆動するために、制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 のそれぞれは図 1 (b) に示すように互いに所定のタイミング関係で生成されるべきものであるが、シリアルデータ W D A T A 中のデータ

d 1 ~ d 6 は時系列的な配列の構成、すなわち信号としてのパルス位置およびパルス幅の設定が任意である。従って、様々なシーケンスに対して上記タイミング関係を容易に満たすことが可能である。

【 0 0 4 7 】

また、通常のシリアルーパラレル変換では変換前後でデータの総量は変化しないため、単に各制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 に対応するデータをつなげてシリアルデータとして読み出し、パラレル変換を行う場合のデータ量は、予め R O M 2 に制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 の種類ごとに全データを格納しておいて直接パラレルデータとして読み出す場合と等しい。本実施の形態ではこれと異なり、予め定まっている E L 表示装置の駆動シーケンスにおける各制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 の立ち上がりおよび立ち下がりタイミングに対応したデータ d 1 ~ d 6、および全ての立ち上がりおよび立ち下がりタイミングを時系列的に並べた場合のそれらの間隔に対応したデータを 1 つのシリアルデータにまとめている。

【 0 0 4 8 】

従って、各制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 の時間的に重複するデータを削減することができる。具体的には、“L o w” → “H i g h”、“H i g h” → “L o w”といったようなデータの切り替わりタイミングを与えるデータがあればよく、また、1 つのデータで 4 つの信号の切り替わりタイミングを制御できるので、R O M 2 に格納するデータ量が全データ量の 4 分の 1 に低減されるとともに、単位時間当たりのデータ転送量も 4 分の 1 に減少する。さらに、R O M 2 から 1 つのシリアルデータを読み出すだけでよいので、R O M 2 の端子数およびデータの出力線数が 4 つから 1 つに低減される。この結果、R O M 2 に格納されたデータの利用率を向上させて R O M 2 の容量およびコストを低減するとともに、R O M 2 のチップサイズや R O M 2 の外部の配線面積および基板面積を縮小することができる。

【 0 0 4 9 】

次に、本実施の形態の信号生成回路として、図 2 に示すように、生成した制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 を同一シーケンスで動作する複数の回路系に供給す

るような構成とすることもできる。同図の制御信号生成回路（信号生成回路）11は、図1（a）の制御信号生成回路1に制御切り替え回路（制御切り替え手段）12を追加した構成である。

【0050】

制御切り替え回路12は、EL表示装置の交流駆動を行うに当たって、表示の1ラインごとに走査側に正電圧を印加する駆動（P駆動）を行う駆動回路と、負電圧を印加する駆動（N駆動）を行う駆動回路とを交互に切り替えるために、生成した制御信号 $W1 \cdot W2 \cdot D1 \cdot D2$ を1周期ごとに有効となる信号に変換してこれら駆動回路に供給するものである。

【0051】

P駆動回路に信号を供給する部分はANDゲート13・14・15・16から構成され、それぞれ制御信号 $W1 \cdot W2 \cdot D1 \cdot D2$ と、外部から供給される識別信号PNSとの論理積を演算し、制御信号 $PW1 \cdot PW2 \cdot PD1 \cdot PD2$ を生成する。N駆動回路に信号を供給する部分はANDゲート17・18・19・20およびインバータ21から構成され、それぞれのANDゲートは、制御信号 $W1 \cdot W2 \cdot D1 \cdot D2$ と、識別信号PNSをインバータ21で反転した信号との論理積を演算し、制御信号 $NW1 \cdot NW2 \cdot ND1 \cdot ND2$ を生成する。

【0052】

識別信号PNSはP駆動時に“High”、N駆動時に“Low”となるように制御信号 $W1 \cdot W2 \cdot D1 \cdot D2$ の1周期ごとにレベル反転される。こうして生成される制御信号 $PW1 \cdot PW2 \cdot PD1 \cdot PD2$ は、それぞれP駆動時に制御信号 $W1 \cdot W2 \cdot D1 \cdot D2$ と等しくなるとともにN駆動時に常に“Low”となり、EL素子に対するP駆動時の1番目の書き込み（充電）、2番目の書き込み（充電）、1番目の放電、2番目の放電の制御信号として使用される。同じく、制御信号 $NW1 \cdot NW2 \cdot ND1 \cdot ND2$ は、それぞれP駆動時に常に“Low”になるとともにN駆動時に制御信号 $W1 \cdot W2 \cdot D1 \cdot D2$ と等しくなり、EL素子に対するN駆動時の1番目の書き込み（充電）、2番目の書き込み（充電）、1番目の放電、2番目の放電の制御信号として使用される。

【0053】

言い換えると、制御信号 $W1 \cdot W2 \cdot D1 \cdot D2$ は、P 駆動時（識別信号 PNS が “High” の期間）には制御信号 $PW1 \cdot PW2 \cdot PD1 \cdot PD2$ として P 駆動回路に供給される一方、N 駆動時（識別信号 PNS が “Low” の期間）には制御信号 $NW1 \cdot NW2 \cdot ND1 \cdot ND2$ として N 駆動回路に供給される。

【 0 0 5 4 】

従って、図 2 の構成によれば、ROM 2 の 1 つのシリアルデータ $WDATA$ から 8 つの信号を生成することができる。すなわち、上記 8 つの信号を初めからパラレルデータとして読み出すために ROM 2 にそれぞれの全データを格納する場合と比較して、データ量を 8 分の 1 にすることができる。このように、同一周期のシーケンスで動作する複数の回路に対してシリアルデータ $WDATA$ を共有することができるので、ROM 2 に格納されるデータ量がさらに低減される。

【 0 0 5 5 】

次に、以上に述べた制御信号生成回路 1・11 で読み出した ROM 2 のシリアルデータ $WDATA$ を、一旦データパルスのパルス幅（“High” の期間の長さ）を変換してからパラレルデータへの変換を行う構成について図 3 を用いて説明する。同図に示す信号 $a1$ は ROM 2 のシリアルデータ $WDATA$ であり、“High” のデータ（データパルス） $d7 \sim d15$ を有している。この中には、データ $d9 \cdot d10$ やデータ $d12 \cdot d13 \cdot d14$ のように “High” のデータが複数連続した箇所が存在する。この信号 $a1$ をそのまま前述のシリアルーパラレル変換回路 3 のクロック信号として用いると、データの連続箇所におけるデータの境界に対応して立ち上がったたり立ち下がったりする制御信号を生成することはできない。

【 0 0 5 6 】

そこで、同図に示すように、信号 $a1$ のデータ間隔に等しい周期で配列され、かつ信号 $a1$ のデータ間隔の 2 分の 1 の間隔を有する補助データからなる信号 $a2$ を外部から与え、シリアルーパラレル変換回路 3 中の図示しない AND ゲートを用いて信号 $a1$ と信号 $a2$ との論理積を求める。このとき信号 $a1$ の立ち上がりタイミングが信号 $a2$ の立ち上がりタイミングに同期するようにしておくと、同図に示すように、信号 $a1$ の立ち上がりタイミングは保持されたまま、データ

d 9 ・ d 1 0 の境界およびデータ d 1 2 ・ d 1 3 ・ d 1 4 の境界に新たな立ち上がりを有する信号 a 3 が得られる。この場合、信号 a 3 における“H i g h”のデータの期間は信号 a 1 の 2 分の 1 になる。

【 0 0 5 7 】

これにより、信号 a 3 中に得られた新たな立ち上がりタイミングを用いて、生成しようとする制御信号の立ち上がりおよび立ち下がりタイミングを変化させることができる。

【 0 0 5 8 】

なお、このことは一般に、信号 a 2 の周期を信号 a 1 のデータ間隔の整数分の 1 とした場合についても適用され、増加させる立ち上がりおよび立ち下がりタイミングの数を任意に設定することができる。また、信号 a 1 の立ち上がりタイミングを信号 a 2 の立ち上がりタイミングから僅かにずらして同期しないようにすることにより、全ての制御信号の立ち上がりおよび立ち下がりタイミングを一様に僅かにずらすこともできる。さらに、信号 a 2 の周期を信号 a 1 のデータ間隔の整数分の 1 からはずして、制御信号の立ち上がりおよび立ち下がりタイミングを変則的にずらすこともできる。

【 0 0 5 9 】

このように、図 3 の構成によれば、シリアルデータ中で“H i g h”のデータが連続する箇所の途中のタイミングを有効に用いて、パラレルデータへの多様な変換を行うことができる。

【 0 0 6 0 】

次に、1 つのシリアルデータを用いて複数系統のシーケンス制御を行うことができるようにした構成について、図 4 および図 5 を用いて説明する。図 4 (a) は、シリアルーパラレル変換回路の一部を構成するシーケンス分割回路 2 1 の回路ブロック図である。シーケンス分割回路 2 1 は、2 系統のシーケンス A ・ B に対して 1 つのシリアルデータ DATA (A B) からそれぞれの制御信号を生成するために、シリアルデータ DATA (A B) をシーケンス A 用のシリアルデータ DATA (A) とシーケンス B 用のシリアルデータ DATA (B) とに分割するものである。

【 0 0 6 1 】

シーケンス分割回路 2 1 は、D フリップフロップ $F/F11 \cdot F/F12 \cdot F/F13$ から構成される。D フリップフロップ $F/F11$ のクロック端子には同図 (b) に示すようなクロック信号 CK が入力される。また、D 端子は自身の Q 端子と D フリップフロップ $F/F13$ のクロック端子とに接続されており、 Q 端子は D フリップフロップ $F/F12$ のクロック端子に接続されている。D フリップフロップ $F/F12 \cdot F/F13$ の D 端子はともにシリアルデータ $DATA$ (A B) が出力される ROM 2 の出力端子に接続されており、 Q 端子から出力信号が取り出される。

【 0 0 6 2 】

シリアルデータ $DATA$ (A B) は、同図 (b) に示すように、シーケンス A に対応したデータ A_i ($i = 0, 1, 2, \dots$) およびシーケンス B に対応したデータ B_j ($j = 0, 1, 2, \dots$) が交互に配列されるように予め構成されたものである。データ A_i 同士およびデータ B_j 同士は 1 つのシーケンスを構成しているが、データ A_i とデータ B_j との間には相関がなく、互いに独立している。また、クロック信号 CK は各データ $A_i \cdot B_j$ の読み出し期間中に 1 回ずつ立ち上がる周期信号である。

【 0 0 6 3 】

同図 (a) で D フリップフロップ $F/F11$ のクロック端子にクロック信号 CK が入力されると、その Q 端子からは同図 (b) に示すように、データ A_i の読み出し期間中にのみ立ち上がりタイミングを有するように分周されたクロック信号 $CK(A)$ 、 Q 端子からはデータ B_j の読み出し期間中にのみ立ち上がりタイミングを有するクロック信号 $CK(B)$ が出力される。従って、D フリップフロップ $F/F12$ は、クロック信号 $CK(A)$ の立ち上がりタイミングでシリアルデータ $DATA$ (A B) のラッチを行い、その Q 端子からデータ A_i のみからなるシリアルデータ $DATA(A)$ を出力する。また、D フリップフロップ $F/F13$ は、クロック信号 $CK(B)$ の立ち上がりタイミングでシリアルデータ $DATA$ (A B) のラッチを行い、その Q 端子からデータ B_j のみからなるシリアルデータ $DATA(B)$ を出力する。

【0064】

これにより、シリアルデータDATA (AB) は、データA_iがシーケンスAに対応するような順序で配列したシリアルデータDATA (A) と、データB_jがシーケンスBに対応するような順序で配列したシリアルデータDATA (B) とに分割される。従って、シリアルデータDATA (A) ・ DATA (B) をそれぞれ前述と同様にしてパラレルデータに変換することにより、シーケンスAおよびシーケンスBに対応した制御信号を個別に生成することができる。パラレルデータへの変換には、図1のシリアル-パラレル変換回路3に示したようなDフリップフロップ群を、シーケンスAおよびシーケンスBのそれぞれに用意すればよい。

【0065】

さらに、N系統 (N=3, 4, 5, …) のシーケンスを制御する場合にも、N進カウンタからの出力信号とクロック信号CKとを組み合わせた信号で、元のシリアルデータDATA (ABC…) のラッチを行うことにより、N種類のシーケンスごとのシリアルデータに分割することが可能である。図5 (a) に3進カウンタ22の回路ブロック図を、また同図 (b) にN=3の場合のシーケンス分割回路23の回路ブロック図を示す。

【0066】

3進カウンタ22は、NOTゲート22a、ORゲート22b、およびDフリップフロップF/F14・F/F15から構成される。NOTゲート22aには同図 (c) に示すようなクロック信号CKが入力され、その出力信号はDフリップフロップF/F14のクロック端子に入力される。ORゲート22bにはDフリップフロップF/F14・F/F15のそれぞれの/Q端子から出力される信号が入力され、その出力信号はDフリップフロップF/F14・F/F15のリセット信号となる。DフリップフロップF/F14・F/F15はともに自身のD端子と/Q端子とが接続されており、DフリップフロップF/F14の/Q端子とDフリップフロップF/F15のクロック端子とが接続されている。また、DフリップフロップF/F14のQ端子・/Q端子から出力される信号はそれぞれ信号Q1・/Q1、DフリップフロップF/F15のQ端子・/Q端子から出

力される信号はそれぞれ信号 $Q_2 \cdot /Q_2$ として外部に取り出される。

【 0 0 6 7 】

シーケンス分割回路 2 3 は、AND ゲート 2 3 a ・ 2 3 b ・ 2 3 c、および D フリップフロップ F / F 1 6 ・ F / F 1 7 ・ F / F 1 8 から構成される。AND ゲート 2 3 a にはクロック信号 CK、信号 $/Q_1 \cdot /Q_2$ が入力され、その出力信号は D フリップフロップ F / F 1 6 のクロック端子に入力される。AND ゲート 2 3 b にはクロック信号 CK、信号 $Q_1 \cdot /Q_2$ が入力され、その出力信号は D フリップフロップ F / F 1 7 のクロック端子に入力される。AND ゲート 2 3 c にはクロック信号 CK、信号 $/Q_1 \cdot Q_2$ が入力され、その出力信号は D フリップフロップ F / F 1 8 のクロック端子に入力される。D フリップフロップ F / F 1 6 ・ F / F 1 7 ・ F / F 1 8 のそれぞれの D 端子はシリアルデータ DATA (ABC) が出力される ROM 2 の出力端子に接続されており、それぞれの Q 端子から出力信号が取り出される。

【 0 0 6 8 】

シリアルデータ DATA (ABC) は、同図 (c) に示すように、シーケンス A に対応したデータ A_i ($i = 0, 1, 2, \dots$)、シーケンス B に対応したデータ B_j ($j = 0, 1, 2, \dots$)、およびシーケンス C に対応したデータ C_k ($k = 0, 1, 2, \dots$) が交互に配列されるように予め構成されたものである。データ A_i 同士、データ B_j 同士、およびデータ C_k 同士は 1 つのシーケンスを構成しているが、データ $A_i \cdot B_j \cdot C_k$ の間には相関がなく、互いに独立している。また、クロック信号 CK は各データ $A_i \cdot B_j \cdot C_k$ の読み出し期間中に 1 回ずつ立ち上がる周期信号である。

【 0 0 6 9 】

3 進カウンタ 2 2 にクロック信号 CK が入力されると、信号 $Q_1 \cdot Q_2$ は同図 (c) に示すようなパルスとなる。従って、シーケンス分割回路 2 3 の AND ゲート 2 3 a ・ 2 3 b ・ 2 3 c の出力信号はそれぞれ、データ A_i の読み出し期間中にのみ立ち上がりタイミングを有するクロック信号 CK (A)、データ B_j の読み出し期間中にのみ立ち上がりタイミングを有するクロック信号 CK (B)、データ C_k の読み出し期間中にのみ立ち上がりタイミングを有するクロック信号

CK (C) となる。

【0070】

DフリップフロップF/F16は、クロック信号CK (A) の立ち上がりタイミングでシリアルデータDATA (ABC) のラッチを行い、そのQ端子からデータAiのみからなるシリアルデータDATA (A) を出力する。また、DフリップフロップF/F17は、クロック信号CK (B) の立ち上がりタイミングでシリアルデータDATA (ABC) のラッチを行い、そのQ端子からデータBjのみからなるシリアルデータDATA (B) を出力する。DフリップフロップF/F18は、クロック信号CK (C) の立ち上がりタイミングでシリアルデータDATA (ABC) のラッチを行い、そのQ端子からデータCkのみからなるシリアルデータDATA (C) を出力する。

【0071】

これにより、シリアルデータDATA (ABC) は、データAiがシーケンスAに対応するような順序で配列したシリアルデータDATA (A)、データBjがシーケンスBに対応するような順序で配列したシリアルデータDATA (B)、およびデータCkがシーケンスCに対応するような順序で配列したシリアルデータDATA (C) とに分割される。従って、シリアルデータDATA (A) ・ DATA (B) ・ DATA (C) をそれぞれ前述と同様にしてパラレルデータに変換することにより、シーケンスA ・ B ・ Cのそれぞれに対応した制御信号を個別に生成することができる。

【0072】

このように、図4および図5の構成によれば、複数系統のシーケンスの制御信号を生成するような場合でも、1つのシリアルデータにまとめてROM2に格納しておくことにより、ROM2からの出力線数を増加させなくてよい。

【0073】

次に、本発明に係る表示装置の実施の一形態として、本実施形態の制御信号生成回路1を備える表示装置を図9に基づいて説明する。なお、説明の便宜上、〔従来の技術〕の項にて示した図7の表示装置の各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【 0 0 7 4 】

本実施形態の表示装置は、図 9 に示すように、E L 表示装置（表示素子）として、前述した通りの E L 素子（電界発光型素子）を表示画素として有する表示パネル 7 1 を備えるとともに、前述した通りの走査側ドライバ 7 2、シフトレジスタ回路 7 3、データ側ドライバ 7 4、シフトレジスタ・ラッチ回路 7 5、駆動回路 7 6、および電源 8 0 を備えている。本実施形態の表示装置は、駆動論理回路 7 7 の代わりに駆動論理回路 7 を備える点で図 7 の表示装置と異なる。

【 0 0 7 5 】

駆動論理回路 7 は、ROM 2 に加えて、制御信号生成回路 1 を備えている。制御信号生成回路 1 は、前述したように、ROM 2 から読み出されたシリアルデータ W D A T A に基づいて表示パネル 7 1 の駆動に必要な複数の制御信号 7 8（制御信号 W 1・W 2・D 1・D 2）を生成するものである。また、ROM 2 には、予めシリアルデータ W D A T A が格納されている。

【 0 0 7 6 】

上記構成によれば、制御信号生成回路 1 を設けたことで、予め ROM 2 に格納されているデータの利用効率を向上させて ROM 2 の容量およびコストを低減するとともに、ROM 2 のサイズや、駆動論理回路 7 の配線面積および基板面積を縮小することができる。

【 0 0 7 7 】

なお、制御信号生成回路 1 の代わりに制御信号生成回路 1 1 を用いてもよい。また、制御信号生成回路 1 または 1 1 に対して、図 3 で説明したパラレルデータの変換を行う回路、あるいは図 4 および図 5 で説明した複数系統のシーケンスの制御信号を生成する回路を追加してもよい。

【 0 0 7 8 】

〔実施の形態 2〕

本発明の信号生成回路を具現する実施の他の形態について図 6 を用いて説明すれば以下の通りである。なお、前記実施の形態 1 で述べた構成要素と同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 7 9 】

図 6 (a) に、本実施の形態に係る制御信号生成回路（信号生成回路） 3 1 の構成を示す。制御信号生成回路 3 1 は、表示素子を所定のシーケンスで駆動するための立ち上がりおよび立ち下がりタイミングが同時であったり、異なっていたりする複数の制御信号を生成する点は実施の形態 1 と同一であるが、実施の形態 1 とは異なり、E L 表示装置の変調駆動用制御信号など、互いにカスケードでない 4 つの制御信号 S C ・ S U ・ S D ・ A L を生成するものであり、R O M 2、シリアルーパラレル変換回路 3 2、および非カスケード信号生成回路 3 3 から構成される。

【 0 0 8 0 】

シリアルーパラレル変換回路（シリアルーパラレル変換手段） 3 2 は、縦続接続された 7 段の D フリップフロップ F / F 1 ~ F / F 7 からなる。これは、実施の形態 1 のシリアルーパラレル変換回路 3 に D フリップフロップ F / F 7 を同様に追加した構成である。このうち、D フリップフロップ F / F 2 ・ F / F 5 ・ F / F 6 の Q 端子からの出力信号は非カスケード信号生成回路 3 3 の入力信号となり、D フリップフロップ F / F 4 ・ F / F 7 の Q 端子からの出力信号はそれぞれ制御信号 S U ・ A L として取り出される。

【 0 0 8 1 】

非カスケード信号生成回路（組み合わせ手段） 3 3 は、O R ゲート 3 4 ・ 3 5 および D フリップフロップ F / F 2 1 からなる。O R ゲート 3 4 は 2 段目の D フリップフロップ F / F 2 からの出力信号と、5 段目の D フリップフロップ F / F 5 からの出力信号との論理和を演算する。D フリップフロップ F / F 2 1 のクロック端子には O R ゲート 3 4 の演算結果がクロック信号として入力され、R 端子にはシリアルーパラレル変換回路 3 2 と同じリセット信号が入力される。また、D 端子には自身の / Q 端子からの出力信号が入力され、Q 端子からの出力信号が制御信号 S C となる。O R ゲート 3 5 は 2 段目の D フリップフロップ F / F 2 からの出力信号と、6 段目の D フリップフロップ F / F 6 からの出力信号との論理和を演算し、その結果を制御信号 S D として出力する。

【 0 0 8 2 】

上記の構成の制御信号生成回路 3 1 の動作について以下に説明する。R O M 2

には、図 6 (b) に示すようなシリアルデータ M D A T A が格納されているものとする。シリアルデータ M D A T A は、“H i g h” のデータ d 3 1 ~ d 3 7 と、それらの間隔に対応する “L o w” のデータとが時系列的に配列されたものである。なお、シリアルデータ M D A T A および制御信号 S C ・ S U ・ S D ・ A L の “H i g h” と “L o w” とが逆転した場合でも動作は同じである。

【 0 0 8 3 】

まず、図 6 (a) で全ての D フリップフロップにリセット信号が入力されてリセット動作が行われると、ROM 2 から同図 (b) に示すシリアルデータ M D A T A の読み込みが開始される。シリアルデータ M D A T A の最初の “H i g h” のデータ d 3 1 が読み込まれると、その立ち上がりタイミングに同期して全ての D フリップフロップの D 端子からデータのラッチが行われ、Q 端子あるいは / Q 端子から出力される。

【 0 0 8 4 】

このとき、D フリップフロップ F / F 2 の出力信号は “H i g h”、D フリップフロップ F / F 5 の出力信号は “L o w” となる。従って、OR ゲート 3 4 の出力信号は “H i g h” となり、D フリップフロップ F / F 2 1 が D 端子からデータのラッチを行う。このラッチの直前までは / Q 端子からの出力信号は “H i g h” であるので、ラッチと同時に Q 端子からの出力信号は “H i g h” となり、制御信号 S C が立ち上がる。また同時に、D フリップフロップ F / F 6 の出力信号は “L o w” となり、OR ゲート 3 5 の出力信号は “H i g h” となり、制御信号 S D が立ち上がる。

【 0 0 8 5 】

その後、データ d 3 2 ・ d 3 3 が読み込まれるに従い、D フリップフロップ F / F 2 の “H i g h” の出力信号が後段に順次伝搬される。データ d 3 4 が読み込まれるまでは D フリップフロップ F / F 2 ・ F / F 5 の出力信号はともに “L o w” であるので、OR ゲート 3 4 の出力信号は “L o w” であり、D フリップフロップ F / F 2 1 はラッチを行わずに制御信号 S C は “H i g h” に保持される。また、データ d 3 2 が読み込まれた時点で、D フリップフロップ F / F 2 ・ F / F 6 の出力信号はともに “L o w” であるので、OR ゲート 3 5 の出力信号

は“Low”となり、制御信号SDが立ち下がる。

【0086】

データd33が読み込まれると、DフリップフロップF/F4の出力信号は“High”となるので、制御信号SUが立ち上がる。データd34が読み込まれるとDフリップフロップF/F5の出力信号が“High”となるので、ORゲート34の出力信号が“High”となり、DフリップフロップF/F21による“Low”のデータのラッチが行われて制御信号SCが立ち下がる。このとき、DフリップフロップF/F4の出力信号が“Low”となるので、制御信号SUも立ち下がる。

【0087】

データd35が読み込まれるとDフリップフロップF/F6の出力信号が“High”となるので、ORゲート35の出力信号が“High”となり、制御信号SDは再び立ち上がる。データd36が読み込まれるとDフリップフロップF/F2・F/F6の出力信号がともに“Low”となるので、ORゲート35の出力信号が“Low”となり、制御信号SDは立ち下がる。またこのとき、DフリップフロップF/F7の出力信号が“High”となるので制御信号ALが立ち上がり、データd37が読み込まれると立ち下がる。

【0088】

このように、本実施の形態では、制御信号SC・SDについてはDフリップフロップの出力信号を複数組み合わせることにより生成している。1つのDフリップフロップの出力信号から1つの制御信号を生成しようとすると、外部から他の信号を与えない限りDフリップフロップの段順に従ったカスケード信号しか生成することができない。しかし、上記のように、複数のDフリップフロップの出力信号を組み合わせることで論理演算を行うことにより、立ち上がりおよび立ち下がりタイミングをシリアルデータMDATA中の飛び飛びのデータに対応させた制御信号SC・SDを生成することができる。

【0089】

従って、これらを含めた制御信号SC・SU・SD・ALを互いにカスケードとならないようにすることができる。しかも、論理演算を変更すれば制御信号の

立ち上がりおよび立ち下がりタイミングとその回数とを任意に設定することができる。このように、本実施の形態によれば、多様なシーケンスに対応する制御信号を生成することができる。

【 0 0 9 0 】

なお、実施の形態 1 で述べた図 3 ないし図 5 の構成を本実施の形態に組み合わせてもよいことはもちろんである。

【 0 0 9 1 】

次に、本発明に係る表示装置の実施の一形態として、本実施形態の制御信号生成回路を備える表示装置を図 1 0 に基づいて説明する。なお、説明の便宜上、〔従来の技術〕の項にて示した図 7 の表示装置または実施の形態 1 にて示した図 9 の表示装置の各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【 0 0 9 2 】

本実施形態の表示装置は、図 1 0 に示すように、E L 表示装置（表示素子）として、前述した通りの E L 素子（電界発光型素子）を表示画素として有する表示パネル 7 1 を備えるとともに、前述した通りの走査側ドライバ 7 2、シフトレジスタ回路 7 3、データ側ドライバ 7 4、シフトレジスタ・ラッチ回路 7 5、および電源 8 0 を備えている。

【 0 0 9 3 】

本実施形態の表示装置は、駆動論理回路 7 7 の代わりに駆動論理回路 2 7 を備える点で図 7 の表示装置と異なる。

【 0 0 9 4 】

駆動論理回路 2 7 は、ROM 2 に加えて、制御信号生成回路 3 1 を備えている。前述したように、ROM 2 には、予めシリアルデータ M D A T A が格納されている。制御信号生成回路 3 1 は、前述したように、ROM 2 から読み出されたシリアルデータ M D A T A に基づいて表示パネル 7 1 の駆動に必要な複数の制御信号 7 9（制御信号 S C・S U・S D・A L）を生成するものである。

【 0 0 9 5 】

上記構成によれば、制御信号生成回路 3 1 を設けたことで、予め ROM 2 に格

納されているデータの利用効率を向上させてROM 2 の容量およびコストを低減するとともに、ROM 2 のサイズや、駆動論理回路 2 7 の配線面積および基板面積を縮小することができる。

【 0 0 9 6 】

なお、制御信号生成回路 3 1 に対して、図 3 で説明したパラレルデータの変換を行う回路、あるいは図 4 および図 5 で説明した複数系統のシーケンスの制御信号を生成する回路を追加してもよい。

【 0 0 9 7 】

【発明の効果】

本発明の信号生成回路は、以上のように、デジタルデータとして、複数のパルス信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するデータと、上記立ち上がりおよび立ち下がりタイミングの全てを時系列的に並べた場合の間隔に対応するデータとが時系列的に配列されてなる 1 つのシリアルデータが格納手段に格納されており、上記格納手段から上記シリアルデータを読み出し、上記シリアルデータ中に含まれる所定の上記立ち上がりおよび立ち下がりタイミングに対応したデータを用いて、複数のパルス信号のそれぞれを互いにパラレルデータとして生成するシリアルーパラレル変換手段を有する構成である。

【 0 0 9 8 】

それゆえ、シリアルデータは、複数のパルス信号のそれぞれの立ち上がりおよび立ち下がりタイミングに対応するデータが、駆動シーケンスに対応するように時系列的に並べられた構成である。従って、それらのデータの配列方法が任意であるので、複数のパルス信号間のタイミング関係を容易に満たすことが可能である。

【 0 0 9 9 】

また、各パルス信号の立ち上がりおよび立ち下がりタイミングに対応したデータ、および全ての立ち上がりおよび立ち下がりタイミングの全てを時系列的に並べた場合の間隔に対応するデータを 1 つのシリアルデータにまとめている。従って、各パルス信号の時間的に重複するデータを削減することができ、格納手段に格納するデータ量が大幅に低減され、単位時間当たりのデータ転送量も減少する

。さらに格納手段からは1つのシリアルデータを読み出すだけでよいので、格納手段の端子数およびデータの出力線数が1つで済む。

【0100】

この結果、ROMなどの格納手段に格納されたデータの利用効率を向上させて格納手段の容量およびコストを低減するとともに、格納手段のサイズや格納手段外部の配線面積および基板面積を縮小することができるという効果を奏する。

【0101】

また、本発明の信号生成回路は、以上のように、上記シリアルーパラレル変換手段は縦続接続された複数段のフリップフロップを有し、上記シリアルデータを共通のクロック信号として前段のフリップフロップの出力信号を入力信号として順次ラッチを行うとともに、複数の所定段目のフリップフロップの出力信号を取り出すことにより上記パラレルデータへの変換を行う構成である。

【0102】

それゆえ、シリアルデータを各フリップフロップに共通のクロック信号とし、パルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングに対応したデータがクロック端子に入力されるたびに、各フリップフロップが前段の出力信号を入力信号としてラッチを行う。従って、例えばシリアルデータ中の“High”のデータから次の“High”のデータまでの読み出し間隔をパルス信号（制御信号）の“High”の期間に等しくしておくと、ラッチ動作における保持時間の開始時に前段から“High”のデータのラッチを行うフリップフロップの出力信号は1つのパルス信号（制御信号）となり、そのフリップフロップが何段目に位置するかによっていずれのパルス信号（制御信号）となり得るかが決定される。

【0103】

本発明では複数の所定段目のフリップフロップの出力信号を取り出すことにより、シリアルデータのパラレル変換を行っており、フリップフロップの段順を的確に選択すれば、取り出す出力信号を、生成しようとするパルス信号（制御信号）とすることができる。これにより、既存のラッチ回路を利用してシリアルデータから容易にパラレルデータとしてのパルス信号（制御信号）を生成することが

できるという効果を奏する。

【 0 1 0 4 】

また、本発明の信号生成回路は、以上のように、上記複数の所定段目のフリップフロップの出力信号を複数組み合わせることで上記パルス信号（制御信号）を生成する組み合わせ手段を有する構成である。

【 0 1 0 5 】

それゆえ、複数のフリップフロップの出力信号を組み合わせることで論理演算を行うことにより、立ち上がりおよび立ち下がりタイミングをシリアルデータ中の飛び飛びのデータに対応させたパルス信号（制御信号）を生成することができる。従って、このパルス信号（制御信号）を他のパルス信号（制御信号）と互いにカスケードとならないようにすることができる。しかも、論理演算を変更すればパルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングとその回数とを任意に設定することができる。このように、本発明によれば、多様なシーケンスに対応するパルス信号（制御信号）を生成することができるという効果を奏する。

【 0 1 0 6 】

また、本発明の信号生成回路は、以上のように、生成した上記パルス信号（制御信号）を、同一周期のシーケンスで動作する複数の回路に上記周期で順次切り替えて供給する制御切り替え手段を有している構成である。

【 0 1 0 7 】

それゆえ、例えばパルス信号（制御信号）を表示素子の交流駆動に使用する場合に、生成したパルス信号（制御信号）を制御切り替え手段によって1周期ごとに有効となる信号に変換して、正電圧の駆動回路あるいは負電圧の駆動回路に供給する。これにより、同一周期のシーケンスで動作する複数の回路に対してシリアルデータを共有することができるので、格納手段に格納されるデータ量がさらに低減されるという効果を奏する。

【 0 1 0 8 】

さらに本発明の信号生成回路は、以上のように、上記シリアル-パラレル変換手段は、上記シリアルデータと、上記シリアルデータのデータ間隔以下の周期で配列され、かつ上記データ間隔の整数分の1の間隔を有する補助データとの論理

積を求めてから上記パラレルデータへの変換を行う構成である。

【 0 1 0 9 】

それゆえ、例えば上記データ間隔に等しい周期で配列され、上記データ間隔の2分の1の間隔を有する補助データとの論理積を求めると、シリアルデータ中の立ち上がりタイミングが補助データの立ち上がりタイミングに同期していれば、シリアルデータ中に“H i g h”のデータが連続する箇所のデータの境界1つずつに新たな立ち上がりおよび立ち下がりタイミングが1つずつ得られる。これにより、生成しようとするパルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングを変化させることができる。

【 0 1 1 0 】

従って、一般に、補助データの配列周期をシリアルデータのデータ間隔の整数分の1として、増加させる立ち上がりおよび立ち下がりタイミングの数を任意に設定することができる。また、シリアルデータ中の立ち上がりタイミングを補助データの立ち上がりタイミングから僅かにずらして同期しないようにすることにより、全てのパルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングを一様に僅かにずらすこともできる。さらに、補助データの配列周期をシリアルデータのデータ間隔の整数分の1からはずして、パルス信号（制御信号）の立ち上がりおよび立ち下がりタイミングを変則的にずらすこともできる。

【 0 1 1 1 】

これにより、シリアルデータ中で“H i g h”のデータが連続する箇所の途中のタイミングを有効に用いて、パラレルデータへの多様な変換を行うことができるという効果を奏する。

【 0 1 1 2 】

さらに本発明の信号生成回路は、以上のように、複数系統のシーケンスに対応するデータが上記シリアルデータにまとめられて上記格納手段に格納されており、上記シリアルーパラレル変換手段は上記シリアルデータを各系統のシーケンスごとのシリアルデータに分割し、それぞれのパラレルデータを生成する構成である。

【 0 1 1 3 】

それゆえ、例えば2系統のシーケンスに対応するデータを交互に配列して1つのシリアルデータにまとめた場合、一方のデータの読み出し期間中にのみ立ち上がるような2種類の信号を用意しておき、両者のラッチを別々に行うようにすればシーケンスごとのシリアルデータに分割することができる。従って、複数系統のシーケンスのパルス信号（制御信号）を生成するような場合でも、格納手段からの出力線数を増加させなくてよいという効果を奏する。

【0114】

本発明の表示装置は、以上のように、上記信号生成回路を備える構成である。

【0115】

それゆえ、前述の表示装置は、コストを低減するとともに、サイズ、特に面積を縮小することができるという効果を奏する。

【0116】

また、本発明の表示装置は、以上のように、表示画素が電界発光型素子からなる構成である。

【0117】

それゆえ、前述の表示装置は、電界発光型素子に対して多段階で充電および放電を行う駆動のシーケンスに適したものとなるという効果を奏する。

【図面の簡単な説明】

【図1】

（a）は本発明の実施の一形態に係る信号生成回路の一構成例を示す回路ブロック図、（b）は（a）に示した信号生成回路の動作時における各信号のタイミングチャートである。

【図2】

本発明の実施の一形態に係る信号生成回路の他の構成例を示す回路ブロック図である。

【図3】

本発明の実施の一形態に係るさらに他の構成の信号生成回路の、動作時における各信号のタイミングチャートである。

【図4】

(a) は本発明の実施の一形態に係るさらに他の構成の信号生成回路の一部を示す回路ブロック図、(b) は(a) に示した回路の動作時における各信号のタイミングチャートである。

【図 5】

(a) および(b) は本発明の実施の一形態に係るさらに他の構成の信号生成回路の一部を示す回路ブロック図、(c) は(a) および(b) に示した回路の動作時における各信号のタイミングチャートである。

【図 6】

(a) は本発明の実施の他の形態に係る信号生成回路の一構成例を示す回路ブロック図、(b) は(a) に示した信号生成回路の動作時における各信号のタイミングチャートである。

【図 7】

従来の信号生成回路を備えた容量性フラットマトリクスディスプレイの構成を示すブロック図である。

【図 8】

(a) 従来の信号生成回路の構成を示す回路ブロック図、(b) は(a) に示した信号生成回路の動作時における各信号のタイミングチャートおよびそれによって制御されるシーケンスである。

【図 9】

本発明の実施の一形態に係る表示装置の構成例を示すブロック図である。

【図 1 0】

本発明の他の実施の形態に係る表示装置の構成例を示すブロック図である。

【符号の説明】

- 1 制御信号生成回路 (信号生成回路)
- 2 ROM (格納手段)
- 3 シリアルーパラレル変換回路 (シリアルーパラレル変換手段)
- 1 1 制御信号生成回路 (信号生成回路)
- 1 2 制御切り替え回路 (制御切り替え手段)
- 3 1 制御信号生成回路 (信号生成回路)

3 2 シリアルーパラレル変換回路（シリアルーパラレル変換手段）

3 3 非カスケード信号生成回路（組み合わせ手段）

7 1 表示パネル（表示素子）

d 1 ~ d 6, d 7 ~ d 1 5, d 3 1 ~ d 3 7

データ（デジタルデータ）

F / F 1 ~ F / F 7

Dフリップフロップ（フリップフロップ）

DATA (A B)、DATA (A B C)、M DATA, W DATA

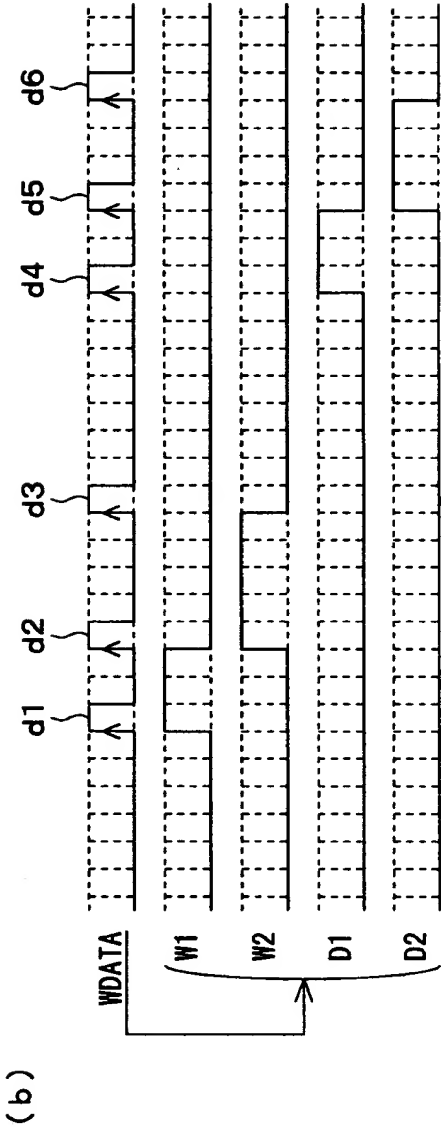
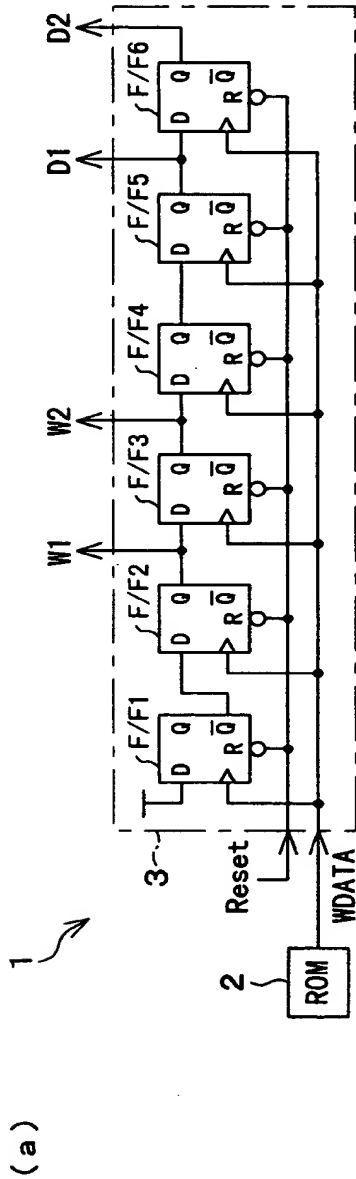
シリアルデータ

W 1, W 2, D 1, D 2, S C, S U, S D, A L

制御信号（パラレルデータ、パルス信号）

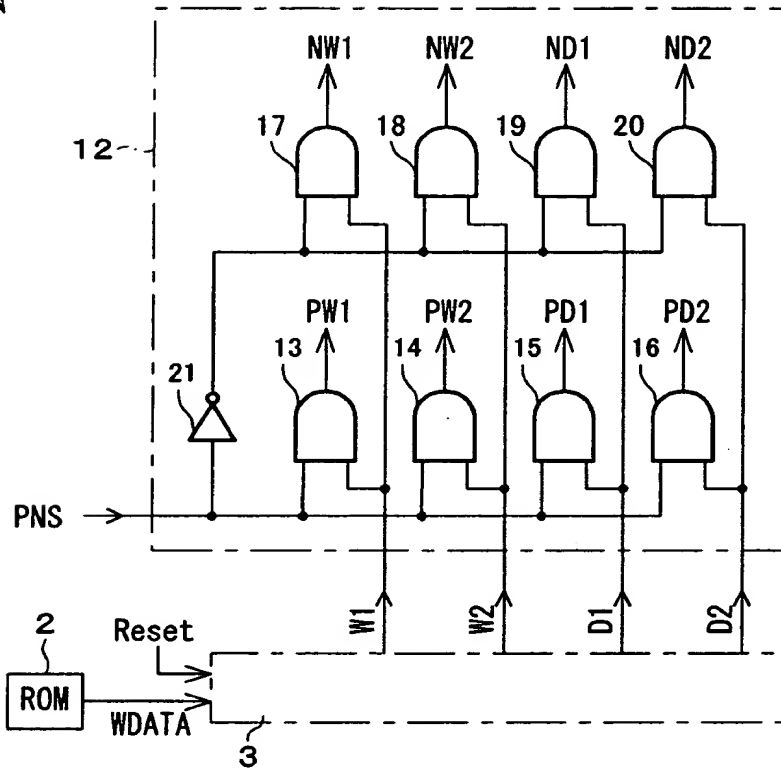
【書類名】 図面

【図 1】

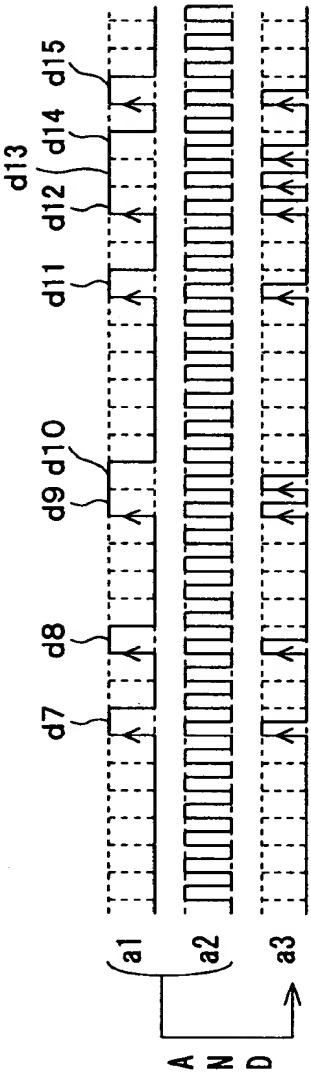


【図 2】

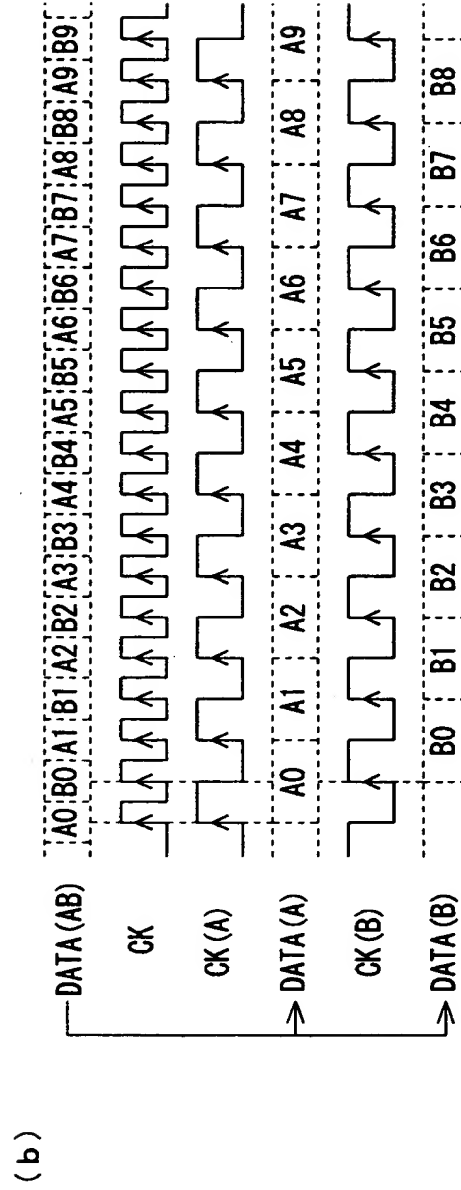
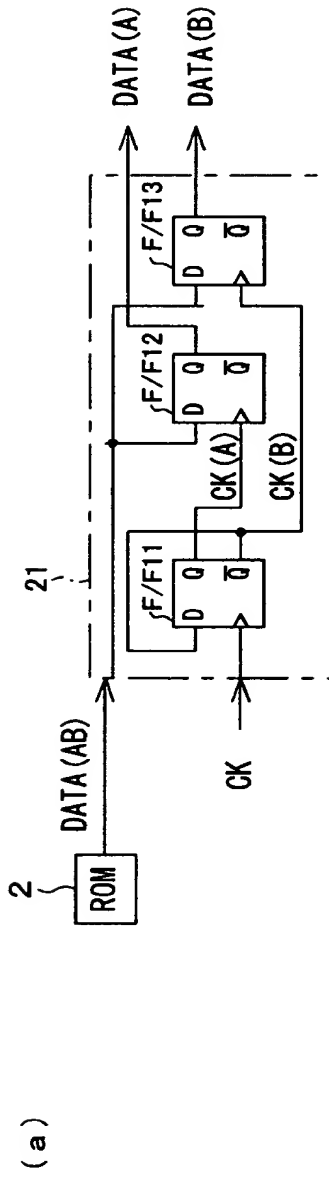
11



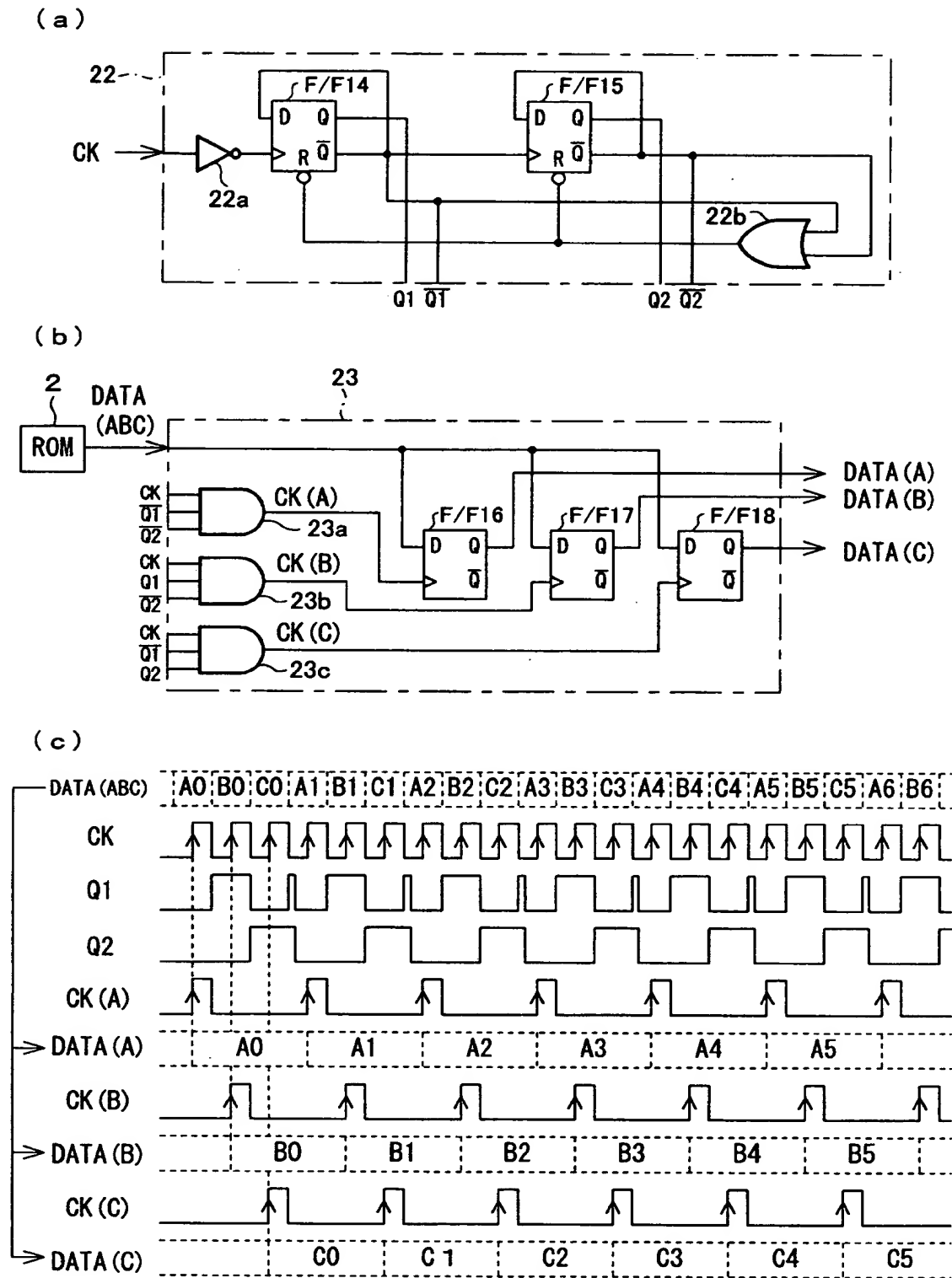
【 図 3 】



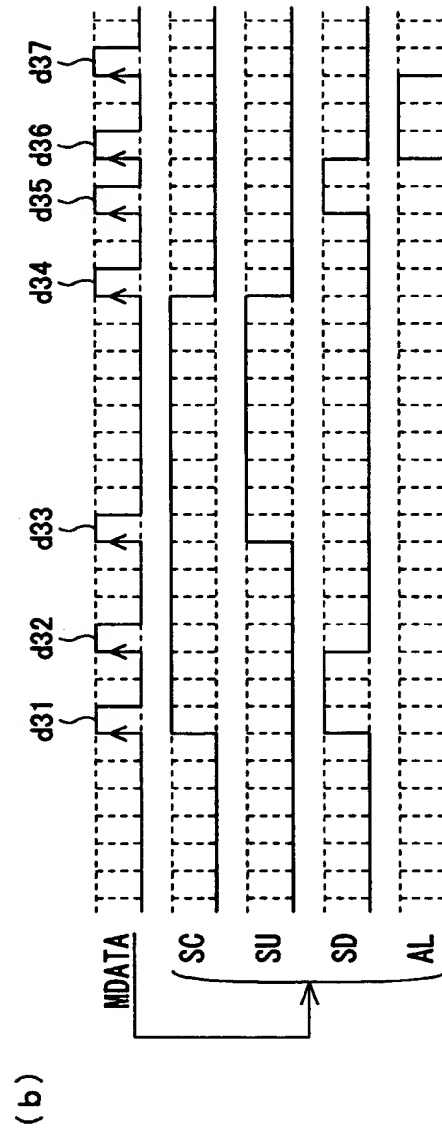
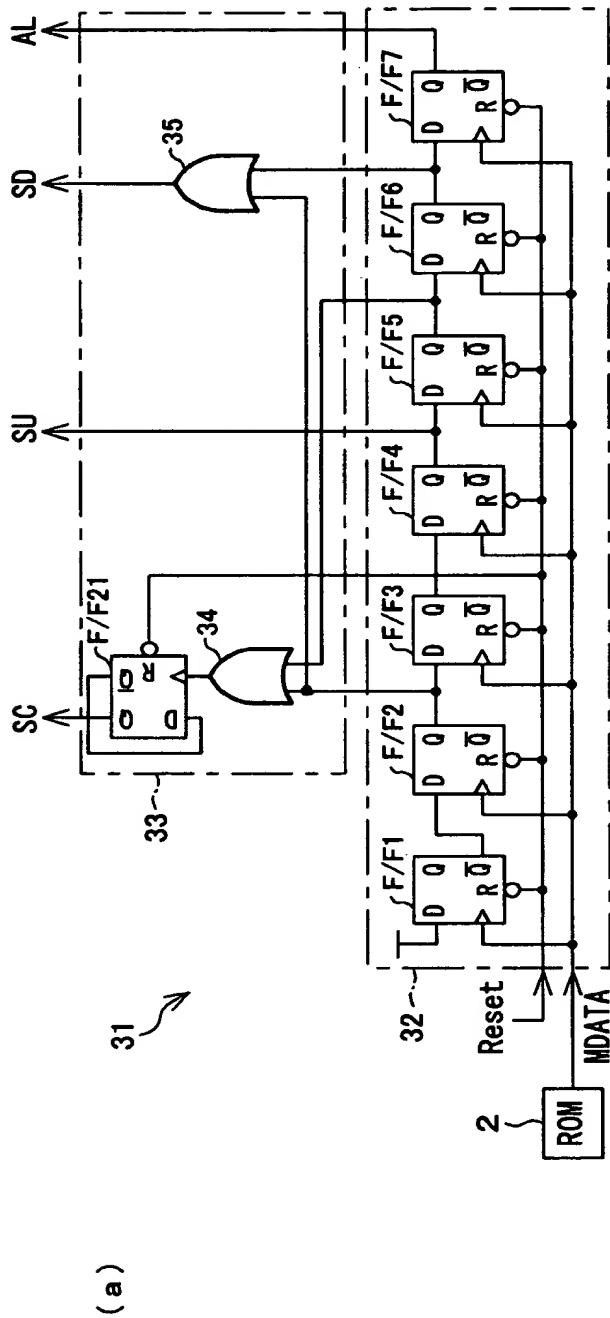
【図 4】



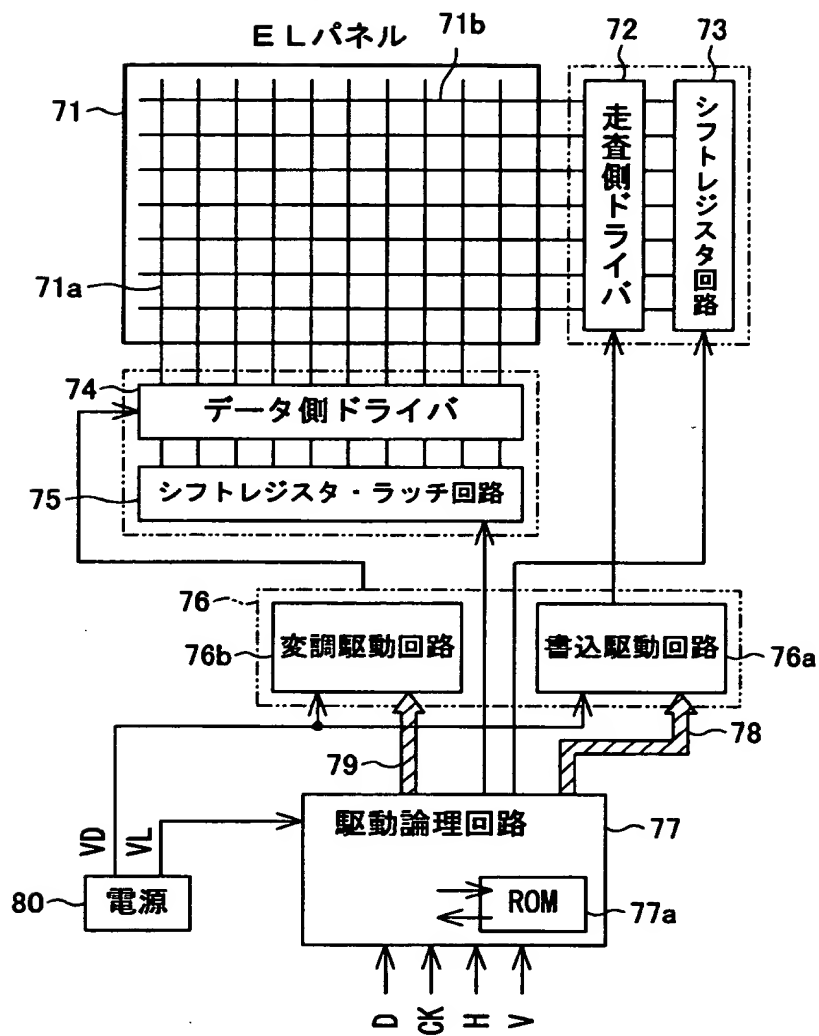
【図 5】



【図 6】

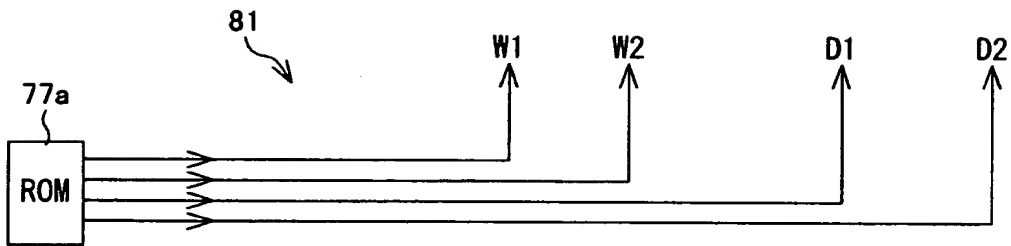


【図 7】

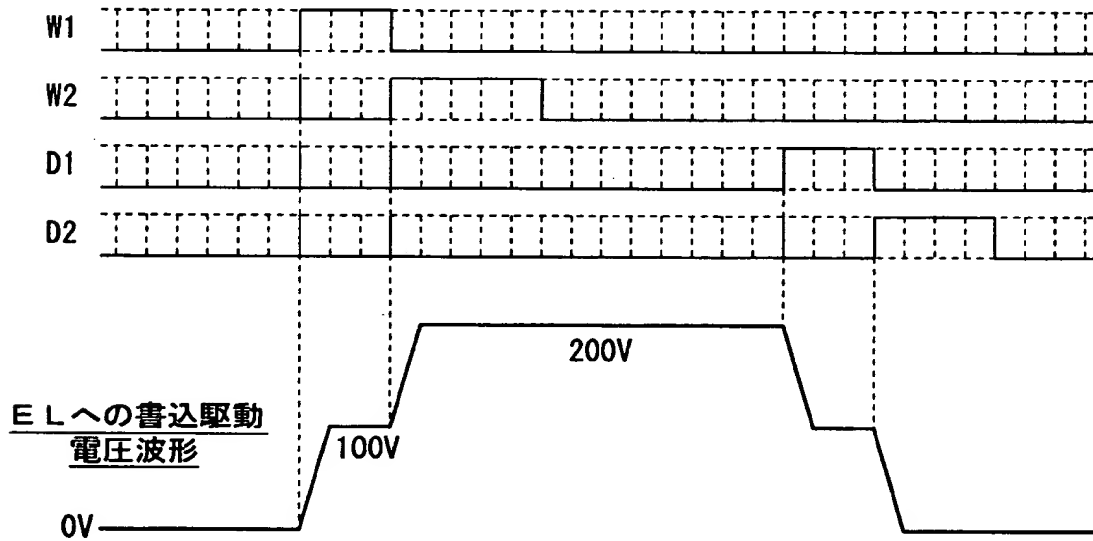


【図 8】

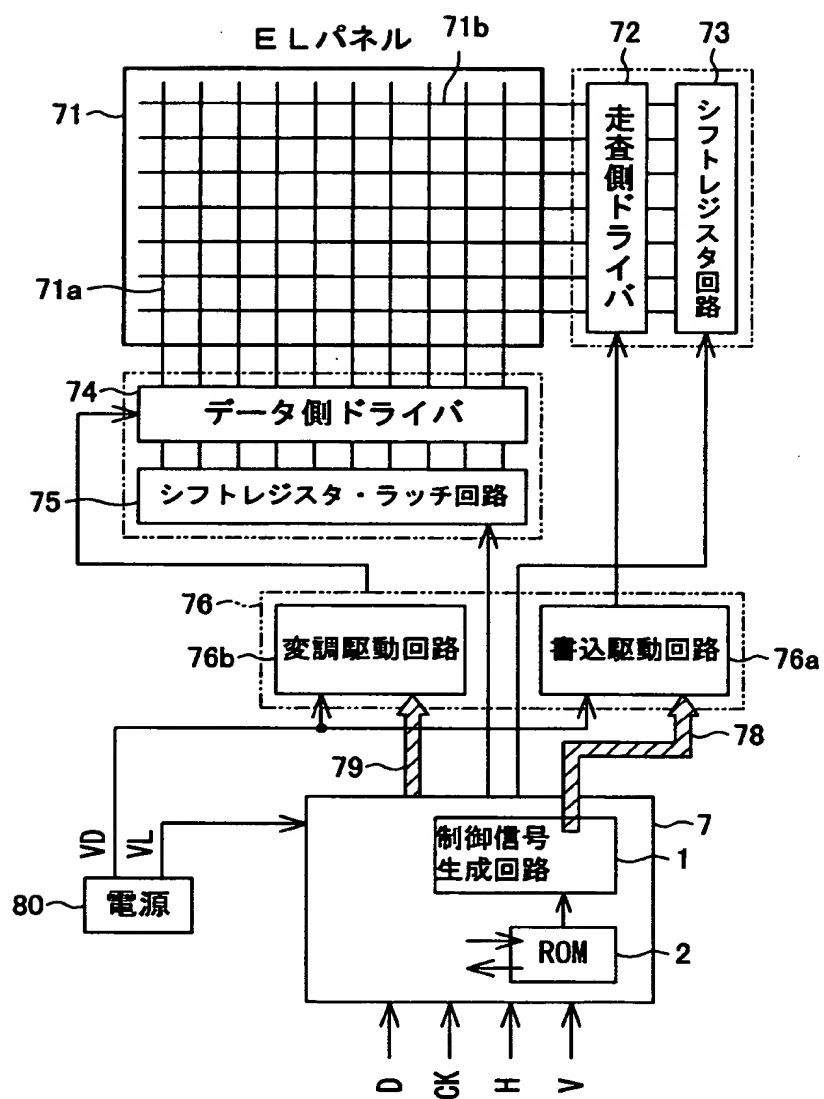
(a)



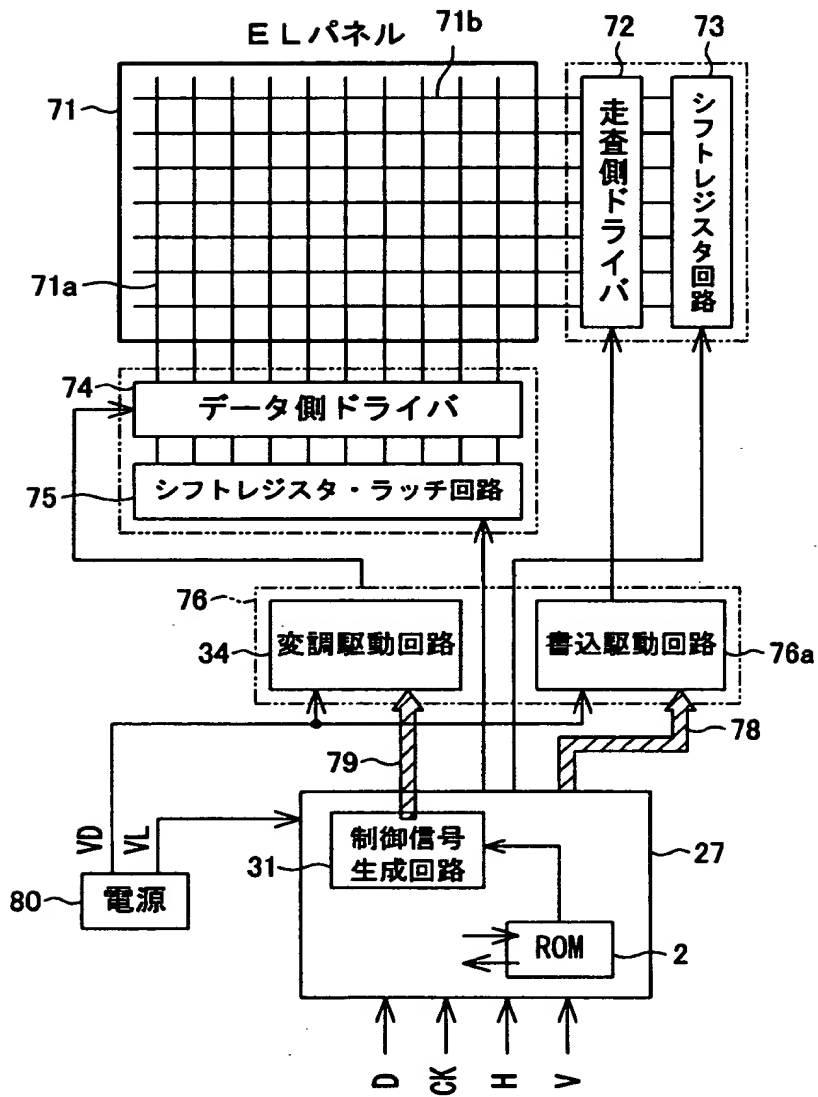
(b)



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 格納されたデータの利用効率を向上させて格納手段の容量およびコストを低減するとともに、格納手段のサイズや格納手段外部の配線面積および基板面積を縮小することのできる信号生成回路およびそれを用いた表示装置を提供する。

【解決手段】 ROM 2 に格納された 1 つのシリアルデータ WDATA 中のデータ d 1 ～ d 6 をクロック信号とする D フリップフロップ F / F 1 ～ F / F 6 からシリアルーパラレル変換回路 3 を構成する。D フリップフロップ F / F 1 ～ F / F 6 は、ROM 2 からデータ d 1 ～ d 6 のそれぞれが読み出されるたびにラッチ動作によって “H i g h” のデータを後段に伝搬する。そして、D フリップフロップ F / F 2 ・ F / F 3 ・ F / F 5 ・ F / F 6 の出力信号をそれぞれ制御信号 W 1 ・ W 2 ・ D 1 ・ D 2 として生成することにより、シリアルデータ WDATA をパラレルデータに変換する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社